

<English Abstracts of the Korean Patent Application Laid-Open No. 1998-040642>

**METHOD FOR FABRICATING CAPACITOR OF SEMICONDUCTOR
MEMORY DEVICE**

5

[Abstract]

The present invention is directed to a method for fabricating a capacitor of a semiconductor memory device. The method includes forming an interlayer dielectric having a contact hole on a semiconductor substrate, filling the contact hole with a first conductive material to form a contact plug, depositing a barrier forming material layer and a first electrode material layer on the resultant structure, successively patterning the first electrode material layer and the barrier forming material layer to form a lower electrode and a barrier layer, forming an oxygen diffusion barrier layer to partially bury a space between the lower electrodes, forming a ferroelectric film on the resultant structure, and depositing a second electrode material layer on the resultant structure to form an upper electrode. The oxygen diffusion barrier layer is composed of a first material layer and a second material layer which are sequentially stacked. According to the present invention, the barrier layer serves to prevent oxygen diffusion.

10

15

20

공개특허 1998-040642

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. ⁶ H01L 27/108	(11) 공개번호 (43) 공개일자	특 1998-040642 1998년 08월 17일
(21) 출원번호 (22) 출원일자	특 1996-059866 1996년 11월 29일	
(71) 출원인	삼성전자 주식회사 경기도 수원시 팔달구 매탄동 416번지	김광호
(72) 발명자	황두섭 경기도 성남시 분당구 구이동 22번지 까치마을 건영빌라 302동 403호	

심사청구 : 없음

(54) 반도체 메모리 소자의 커패시터 제조 방법

요약

반도체 메모리 소자의 커패시터 제조 방법에 관하여 개시한다. 본 발명에서는 반도체 기판상에 콘택홀을 갖는 층간 절연막을 형성하는 단계와, 상기 콘택홀을 제1 도전 물질로 채워서 콘택 플러그를 형성하는 단계와, 상기 결과물상에 배리어막 형성 물질층 및 제1 전극 물질층을 증착하는 단계와, 상기 제1 전극 물질층 및 배리어막 형성 물질층을 차례로 패터닝하여 하부 전극 및 배리어막을 형성하는 단계와, 상기 하부 전극 사이의 공간에 상기 공간을 부분적으로 매립하도록 제1 절연층 및 제2 물질층이 차례로 적층된 산소 확산 방지막을 형성하는 단계와, 상기 결과물상에 강유전체막을 형성하는 단계와, 상기 결과물상에 제2 전극 물질층을 증착하여 상부 전극을 형성하는 단계를 포함한다. 본 발명에 의하면, 배리어막으로의 산소 확산을 방지할 수 있다.

대표도

도 6

명세서

도면의 간단한 설명

도 1은 종래 기술의 일 예에 의한 반도체 메모리 소자의 커패시터 제조 방법을 설명하기 위한 단면도이다.

도 2는 종래 기술의 다른 예에 의한 반도체 메모리 소자의 커패시터 제조 방법을 설명하기 위한 단면도이다.

도 3 내지 도 8은 본 발명의 바람직한 실시예에 따른 반도체 메모리 소자의 커패시터 제조 방법을 설명하기 위하여 공정 순서에 따라서 도시한 단면도들이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 메모리 소자의 커패시터 제조 방법에 관한 것으로, 특히 고유전율을 커패시터로 사용하는 반도체 메모리 소자의 커패시터 전극 형성에 있어서 배리어막(barrier layer)에 산소가 확산되는 것을 방지할 수 있는 반도체 메모리 소자의 커패시터 제조 방법에 관한 것이다.

반도체 메모리 소자가 고집적화됨에 따라서 커패시터로 사용되는 면적이 점차 감소되어 기존에 사용되는 유전막, 예를 들면 산화막, 질화막, Ta₂O₅막 등과 같은 유전막으로는 소자 동작에 필요한 커패시턴스를 확보하기가 어려워지게 되었다. 따라서, 커패시터의 면적을 넓히기 위한 연구가 진행되고 있다. 그러나, 기존의 유전체로는 1G DRAM 이상의 메모리 소자에서 스토리지 노드를 3차원 구조로 형성하는 경우에도 소자 동작에 필요한 커패시턴스 값을 얻기가 어려워지고 있다.

상기와 같은 문제를 해결하기 위해서 기존의 메모리 소자 커패시터에 사용되는 유전체를 BST(BaSrTiO₃), PZT(PbZrTiO₃), PLZT((Pb, La)(Zr, Ti)O₃)와 같은 박막으로 대체하는 연구가 활발히 진행중에 있다. 고유전율을 사용할 경우에는 기존의 유전체에 비하여 수 십 내지 수 백 배의 유전율을 갖게 되므로, 스토리지 노드를 실린더형, 핀형, HSG와 같은 복잡한 구조를 가지도록 형성하지 않아도 소자 동작에 필요한 커패시턴스를 얻을 수 있다. 그러나, BST, PLT, PLZT와 같은 물질은 기존의 전극 물질인

공개특허특 1998-040642

폴리실리콘을 전극으로 사용하기 어렵기 때문에 새로운 전극 물질 및 전극 구조를 채용할 필요가 있다. 고유전막을 반도체 소자에 적용하기 위한 전극으로는 Pt, Ir, Au, AuO_2 , IrO_2 를 사용하는 연구가 활발히 진행중에 있다. 이러한 전극 물질중에서 특히 Pt는 실리콘과의 반응성이 크기 때문에 실리콘과 격리시킬 수 있는 배리어막이 필요하다. 그러므로, 현재 고유전막에 사용되는 하부 전극을 폴리실리콘으로 구성되는 콘택 플러그를 형성한 후, 배리어막을 형성하고 Pt, Ir, Au 등의 전극 물질을 형성하여 이루어지는 구조를 갖는다.

도 1은 종래 기술의 일 예에 의한 반도체 메모리 소자의 커패시터 제조 방법을 설명하기 위한 단면도이다.

도 1을 참조하면, 반도체 기판(1)상에 콘택홀을 갖는 중간 절연막(3)을 형성하고, 상기 콘택홀을 폴리실리콘으로 채운 후, CMP(Chemical Mechanical Polishing) 또는 에치백 공정에 의하여 콘택 플러그(5)를 형성한다. 그 후, 상기 콘택 플러그(5)를 구성하는 폴리실리콘과 전극 물질과의 반응을 억제시키기 위하여 상기 콘택 플러그(5)의 상부에 Ti층을 증착하고, 그 위에 하부 전극을 형성하기 위한 Pt층을 증착한 후 상기 Pt층 및 Ti층을 패터닝하여 배리어막(7)과 하부 전극(9)을 형성한다. 그 후, 예를 들면 BST를 사용하여 강유전체막(11)을 형성한 후, Pt로 이루어지는 상부 전극(13)을 형성하여 커패시터를 완성한다.

상기한 바와 같은 종래 기술에 따른 반도체 메모리 장치의 커패시터 제조 방법에서는 배리어막으로서 TiN을 사용하고 있으나, BST 증착 과정이나 후속 열처리 과정에서 TiN은 산소와 결합하여 유전체인 TiO_2 를 형성하여, 하부 전극에 전기적인 단락이 생기므로, TiN을 배리어막으로 사용하는 경우에는 산소의 확산을 막을 수 있는 구조적인 해결책이 필요하다.

도 2는 종래 기술의 다른 예에 의한 반도체 메모리 소자의 커패시터 제조 방법을 설명하기 위한 단면도이다.

도 2를 참조하면, 반도체 기판(31)상에 콘택홀을 갖는 중간 절연막(33)을 형성하고, 상기 콘택홀을 폴리실리콘으로 채운 후, CMP(Chemical Mechanical Polishing) 또는 에치백 공정에 의하여 콘택 플러그(35)를 형성한다. 그 후, 상기 콘택 플러그(35)를 구성하는 폴리실리콘과 전극 물질과의 반응을 억제시키기 위하여 상기 콘택 플러그(35)의 상부에 Ti층을 증착하고, 그 위에 하부 전극을 형성하기 위한 Pt층을 증착한 후 상기 Pt층 및 Ti층을 패터닝하여 배리어막(37)과 하부 전극(39)을 형성한다. 그 후, 상기 배리어막(37)의 측면으로부터 산소가 유입되는 것을 방지하기 위하여 상기 배리어막(37)의 측벽에 SiO_2 , SiN 등의 유전 물질 또는 Ir, Ru, Pt 등의 금속 물질로 이루어지는 스페이서(41)를 형성한다. 그 후, 예를 들면 BST를 사용하여 강유전체막(43)을 형성한 후, 상부 전극(45)을 형성하여 커패시터를 완성한다.

상기한 바와 같은 종래 기술에 따른 반도체 메모리 장치의 커패시터 제조 방법에서는 하부 전극 패터닝 시에 형성된 하부 전극 및 그 하부의 배리어막의 프로파일에서 측벽이 경사져 있으므로, 스페이서 형성 시에 스페이서가 정상적으로 형성되는 것이 곤란하고, 스페이서를 형성한 후에도 스페이서의 두께가 얇아져서 산소 확산 방지막으로서의 효과를 기대하기 곤란하다.

발명이 이루고자 하는 기술적 과제

본 발명의 목적은 배리어막으로서의 산소 확산을 방지할 수 있는 반도체 메모리 소자의 커패시터 제조 방법을 제공하는 것이다.

발명의 구성 및 작용

상기 목적을 달성하기 위하여 본 발명은, 반도체 기판상에 콘택홀을 갖는 중간 절연막을 형성하는 단계와, 상기 콘택홀을 제1 도전 물질로 채워서 콘택 플러그를 형성하는 단계와, 상기 결과물상에 배리어막 형성 물질층 및 제1 전극 물질층을 증착하는 단계와, 상기 제1 전극 물질층 및 배리어막 형성 물질층을 차례로 패터닝하여 하부 전극 및 배리어막을 형성하는 단계와, 상기 하부 전극 사이의 공간에 상기 공간을 부분적으로 채워하도록 제1 층질층 및 제2 층질층이 차례로 적층된 산소 확산 방지막을 형성하는 단계와, 상기 결과물상에 강유전체막을 형성하는 단계와, 상기 결과물상에 제2 전극 물질층을 증착하여 상부 전극을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 메모리 소자의 커패시터 제조 방법을 제공한다.

바람직하게는, 상기 제1 도전 물질로서 폴리실리콘, W, WN 및 $WSix$ 로 이루어지는 군에서 선택된 적어도 어느 하나를 사용하고, 상기 배리어막 형성 물질층을 증착하는 단계는 TiN, CoSi, Co, TaSiN, TiSiN, TaSi, TiSi, Ta, TaN, Ir, Ru, AuO_2 및 IrO_2 로 이루어지는 군에서 선택된 어느 하나, 또는 그 조합물을 사용한다.

또한 바람직하게는, 상기 산소 확산 방지막을 형성하는 단계에서 제1 층질층은 실리콘 질화막으로 형성하고, 상기 제2 층질층은 실리콘막으로 형성한다.

또한 바람직하게는, 상기 제1 및 제2 전극 물질층은 Pt, Ru, AuO_2 , Ir 및 IrO_2 로 이루어지는 군에서 선택된 어느 하나 또는 그 조합물을 사용하여 형성한다.

다음에, 본 발명의 바람직한 실시예에 대하여 첨부 도면을 참조하여 상세히 설명한다.

도 3 내지 도 8은 본 발명의 바람직한 실시예에 따른 반도체 메모리 소자의 커패시터 제조 방법을 설명하기 위하여 공정 순서에 따라서 도시한 단면도들이다.

도 3을 참조하면, 반도체 기판(51)상에 콘택홀을 갖는 중간 절연막(53)을 형성하고, 상기 콘택홀을 도전 물질로 채운 후, CMP(Chemical Mechanical Polishing) 또는 에치백 공정에 의하여 콘택 플러그(55)를 형성한다. 상기 콘택 플러그(55)를 형성하는 도전 물질로는 예를 들면 폴리실리콘, W, WN 및 $WSix$ 로 이루

공개특허 1998-040642

어지는 군에서 선택된 적어도 어느 하나를 사용할 수 있다.

그 후, 상기 콘택 플러그(55)를 구성하는 도전 물질과 후에 형성되는 전극 물질과의 반응을 억제시키기 위한 배리어막을 형성하기 위하여, TIN층을 증착하고, 그 위에 하부 전극을 형성하기 위한 전극 물질층을 증착한 후, 상기 전극 물질층 및 TIN층을 패터닝하여 배리어막(57)과 하부 전극(59)을 형성한다.

이 때, 상기 배리어막(57)을 구성하는 TIN과 상기 콘택 플러그(55)를 구성하는 폴리실리콘과의 오믹 접촉을 위하여 Ti 실리사이드화 반응을 진행시킬 수도 있다.

상기 설명에서는 상기 배리어막(57)을 형성하기 위하여 TIN을 사용하는 것으로 설명하였으나, 본 발명은 이에 한정되지 않고, TIN, CoSi, Co, TaSiN, TiSiN, TaSi, TiSi, Ta, TaN, Ir, Ru, RuO₂ 및 IrO₂로 이루어지는 군에서 선택된 어느 하나, 또는 그 조합물을 사용하는 것도 가능하다.

또한, 상기 하부 전극(59)을 구성하는 전극 물질층은 Pt, Ru, RuO₂, Ir 및 IrO₂로 이루어지는 군에서 선택된 어느 하나 또는 그 조합물을 사용하여 형성할 수 있다.

도 4를 참조하면, LPCVD, APCVD 또는 PECVD 방법을 이용하여 실리콘 질화막(61)을 형성한다.

도 5를 참조하면, 상기 결과물상에 상기 각 하부 전극(59) 사이의 공간을 채우는 실리콘막(63)을 증착한다. 이와 같이 형성된 실리콘막(63)은 비전도성인 산화막을 쉽게 형성하므로, 산소 확산 방지막으로서 적합하다.

도 6을 참조하면, 에치백 또는 CMP(Chemical Mechanical Polishing) 공정을 이용하여 상기 실리콘막(63)중 상기 하부 전극(59)의 상부에 있는 부분을 제거하고 표면을 평탄화하여 실리콘 매몰층(63A)을 형성한다.

도 7을 참조하면, 상기 배리어막(57)의 측면으로의 산소 확산을 충분히 저지할 수 있도록, 상기 실리콘 매몰층(63A)을 구성하는 실리콘과, 상기 실리콘 질화막(61)과의 에칭 선택비를 이용하여 상기 실리콘 질화막(61) 및 실리콘 매몰층(63A)을 일부 제거하여 각 하부 전극(59) 사이의 공간 하반부에 실리콘 잔류층(63B) 및 실리콘 질화막 잔류층(61A)으로 이루어지는 산소 확산 방지막(61A, 63B)을 형성한다. 이때의 공정은 단일 공정으로 행할 수도 있고, 또는 상기 실리콘 매몰층(63A)을 선택적으로 제거한 후 상기 실리콘 질화막(61)을 선택적으로 제거하는 2 스텝 공정으로 행할 수도 있다.

도 8을 참조하면, 상기 결과물상에 고유전 물질을 증착하여 강유전체막(71)을 형성한다. 상기 강유전체막(71)을 증착할 때에는 스퍼터링 방식 또는 CVD(Chemical Vapor Deposition) 방식을 이용할 수 있으며, 스퍼터링 방식을 이용하는 경우에는 산소 플라즈마 분위기에서 행하고, CVD 방식을 이용하는 경우에는 산소가 포함된 분위기하에서 행한다. 상기 강유전체막(71)을 형성하기 위한 고유전 물질로는 예를 들면 STO 계열, BST 계열, PZT 계열 및 PLZT 계열로 이루어지는 군에서 선택된 어느 하나를 사용할 수 있다. 이 때, 상기 배리어막(57)은 상기 산소 확산 방지막(61A, 63B)에 의해 완전히 가려져 있으므로, BST 증착시에 상기 배리어막(57)이 산소 분위기에 노출될 염려가 없으며, TiO₂가 생성되지 않는다.

그 후, 상기 결과물상에 도전 물질층을 증착하여 상부 전극(73)을 형성하여 커패시터를 완성한다. 상기 상부 전극(73)을 구성하는 전극 물질층은 Pt, Ru, RuO₂, Ir 및 IrO₂로 이루어지는 군에서 선택된 어느 하나 또는 그 조합물을 사용하여 형성할 수 있다.

발명의 효과

상기한 바와 같이, 본 발명의 바람직한 실시예에 의하면, 반도체 메모리 소자의 커패시터 제조시에 배리어막으로의 산소 확산을 방지할 수 있다.

이상, 본 발명을 바람직한 실시예를 들어 상세하게 설명하였으나, 본 발명은 상기 실시예에 한정되지 않고, 본 발명의 기술적 사상의 범위 내에서 당 분야에서 통상의 지식을 가진 자에 의하여 여러가지 변형이 가능하다.

(57) 청구의 범위

청구항 1

반도체 기판상에 콘택홀을 갖는 층간 절연막을 형성하는 단계와,

상기 콘택홀을 제1 도전 물질로 채워서 콘택 플러그를 형성하는 단계와,

상기 결과물상에 배리어막 형성 물질층 및 제1 전극 물질층을 증착하는 단계와,

상기 제1 전극 물질층 및 배리어막 형성 물질층을 차례로 패터닝하여 하부 전극 및 배리어막을 형성하는 단계와,

상기 하부 전극 사이의 공간에 상기 공간을 부분적으로 매립하도록 제1 물질층 및 제2 물질층이 차례로 적층된 산소 확산 방지막을 형성하는 단계와,

상기 결과물상에 강유전체막을 형성하는 단계와,

상기 결과물상에 제2 전극 물질층을 증착하여 상부 전극을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 메모리 소자의 커패시터 제조 방법.

청구항 2

제1항에 있어서, 상기 제1 도전 물질로서 폴리실리콘, W, WN 및 WSix로 이루어지는 군에서 선택된 적어도

공개특허 1998-040642

도 어느 하나를 사용하는 것을 특징으로 하는 반도체 메모리 소자의 커패시터 제조 방법.

청구항 3

제1항에 있어서, 상기 배리어막 형성 물질층을 증착하는 단계는 TiN, CoSi, Co, TaSiN, TiSiN, TaSi, TiSi, Ta, TaN, Ir, Ru, RuO₂ 및 IrO₂로 이루어지는 군에서 선택된 어느 하나, 또는 그 조합물을 사용하는 것을 특징으로 하는 반도체 메모리 소자의 커패시터 제조 방법.

청구항 4

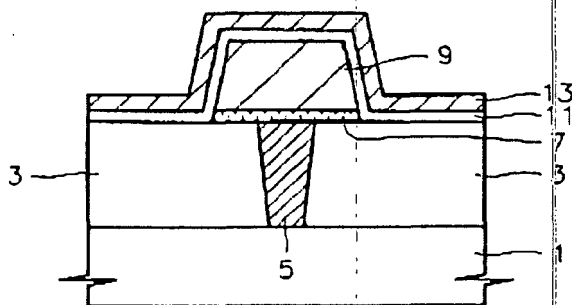
제1항에 있어서, 상기 산소 확산 방지막을 형성하는 단계에서 제1 물질층은 실리콘 질화막으로 형성하고, 상기 제2 물질층은 실리콘막으로 형성하는 것을 특징으로 하는 반도체 메모리 소자의 커패시터 제조 방법.

청구항 5

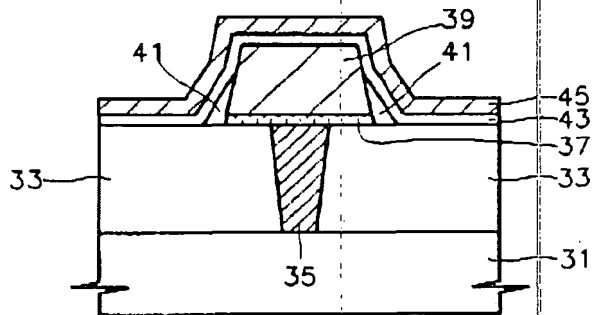
제1항에 있어서, 상기 제1 및 제2 전극 물질층은 Pt, Ru, RuO₂, Ir 및 IrO₂로 이루어지는 군에서 선택된 어느 하나 또는 그 조합물을 사용하여 형성하는 것을 특징으로 하는 반도체 메모리 소자의 커패시터 제조 방법.

도면

도면1

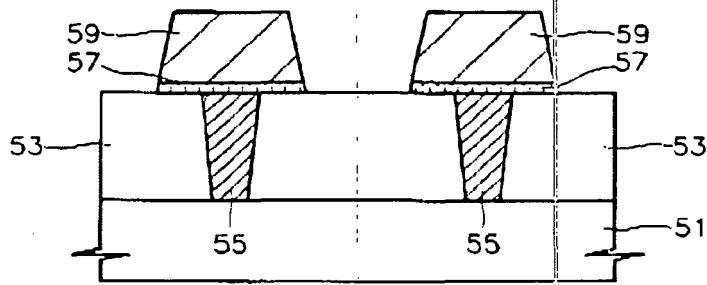


도면2

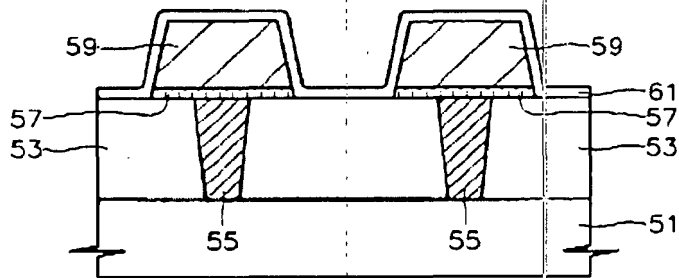


공개특허 1998-040642

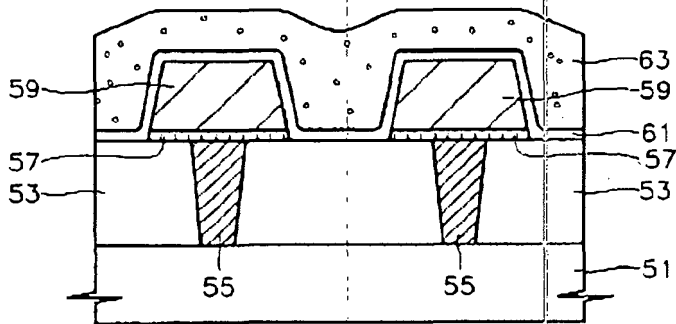
도면3



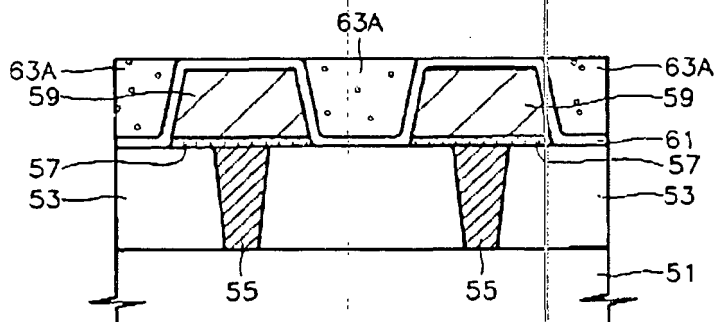
도면4



도면5

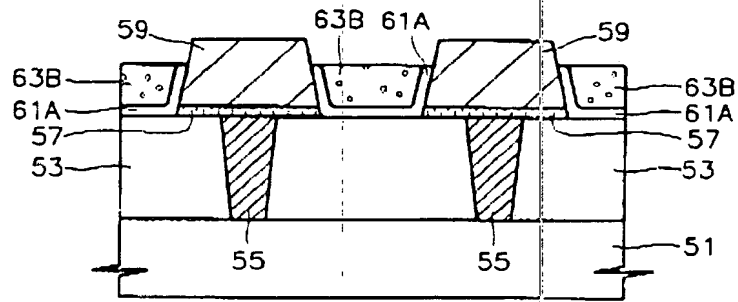


도면6



공개특허 1998-040642

도면7



도면8

